Correction

**Exercice 01: 06 pts**

Complétez le tableau de simulation ci-dessous avec les données de l’exécution du programme :

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Instat t | R0 | RA | RI | RM | R1 |
| Début cycle de recherche | 300 | 300 |  |  | \ |
| Fin cycle de recherche | 301 | 301 | INST | INST | \ |
| Fin cycle exécution |  |  | INST | INST | 4 |

**Exercice 02 : 04 pts**

**Exercice 03 : 04 pts**

**Exercice 04 : 03.5 pts**

1. Non, l’architecture CISC possède la couche micro-programmé en plus qui n’existe pas au niveau de l’architecture RISC. Parce qu’elle utilise une mémoire de microprogrammation.(1)
2. Le facteur de rapidité ou la bande passante est de 5. (1)

Si on suppose que le cycle d’un pipeline est de T pour chaque étage alors :

Temps d’exécution d’un programme sur machine séquentielle = 5 T

Temps d’exécution d’un programme sur machine avec pipeline = T

Le facteur = 5 T/ T = 5

1. Le mode qui permet d’obtenir l’adressage immédiat sur PDP 11 est: le mode 1 avec R7 (0.5)
2. Le mode qui permet d’obtenir l’adressage indirect sur PDP 11 est : le mode 2 avec R7 (0.5)
3. Le mode qui permet d’obtenir l’adressage auto relatif sur PDP 11 est: le mode 6 avec R7 (0.5)

**Exercice 05 : 02.5 pts**

|  |  |  |  |
| --- | --- | --- | --- |
| R0 | **50** |  |  |
| R1 | **100** | 50 | **280** |
| R2 | **200** |  |  |
| R3 | **88** | 198 | **50** |
| R4 |  | 200 | **50** |
| R5 |  |  |  |
| R6 |  | 280 | **1000** |
| R7 |  |  |  |

Le code des instructions ainsi que le contenu des registres indiqués après exécution :

1. MOV \*R2, R3
2. **2 8 3** R3= 50 (0.5)
3. MOV \*(R2)+, R3
4. **6 8 3** R2= 202 R3= 280 (0.5)
5. MOV $ -50(R2), R3
6. **C 4 3** R3= 280 (1)

**F F C E**

1. MOV -\*(R2), R3

**1 A 8 3** R2= 198 R3= 280 (0.5)